

【特許請求の範囲】

【請求項1】 受信信号を増幅する第1の増幅回路と、増幅された信号と所定周波数の発振信号とを合成して音声周波数のベースバンド信号に変換する周波数変換手段と、該周波数変換手段とDC結合され周波数変換手段で周波数変換された信号を増幅する第2の増幅回路とを含む受信系回路を備えた信号処理用半導体集積回路であって、

上記第1の増幅回路とはほぼ同一構成の回路を有し、その出力端子は上記第1の増幅回路の出力端子が接続される次段の回路の入力端子に接続され、その入力端子は上記受信信号が入力される外部端子に接続されていない第3の増幅回路を備えてなることを特徴とする信号処理用半導体集積回路。

【請求項2】 上記第3の増幅回路の入力端子には、上記第1の増幅回路の入力端子に接続される外部の回路と等価なインピーダンスが接続されていることを特徴とする請求項1に記載の信号処理用半導体集積回路。

【請求項3】 受信信号を増幅する第1の増幅回路と、増幅された信号と所定周波数の発振信号とを合成して音声周波数のベースバンド信号に変換する周波数変換手段と、該周波数変換手段とDC結合され周波数変換手段で周波数変換された信号を増幅する第2の増幅回路とを含む受信系回路を備え、該受信系回路が活性化される第1の動作モードと非活性化される第2の動作モードとを有する信号処理用半導体集積回路であって、

上記第1の増幅回路とはほぼ同一構成の回路を有し、その出力端子は上記第1の増幅回路の出力端子が接続される次段の回路の入力端子に接続され、その入力端子は上記受信信号が入力される外部端子に接続されていない第3の増幅回路を備え、

上記第2の増幅回路には該増幅回路のDCオフセットを校正するためのキャリブレーション回路が設けられ、上記第2の動作モードから第1の動作モードに移行する際に、上記第1の増幅回路を非活性状態としかつ上記第3の増幅回路を活性化させた状態で上記キャリブレーション回路による上記第2の増幅回路のDCオフセットの校正が行なわれるように構成されてなることを特徴とする信号処理用半導体集積回路。

【請求項4】 上記第3の増幅回路の入力端子には、上記第1の増幅回路の入力端子に接続される外部の回路と等価なインピーダンスが接続されていることを特徴とする請求項3に記載の信号処理用半導体集積回路。

【請求項5】 上記DCオフセットの校正が行なわれた後に上記第3の増幅回路が非活性状態とされ、かつ上記第1の増幅回路が活性されるように構成されてなることを特徴とする請求項3または4に記載の信号処理用半導体集積回路。

【請求項6】 上記第2の増幅回路は複数の増幅段を有し、各増幅段ごとに出力のDCオフセットを校正するキ

ャリブレーション回路が設けられていることを特徴とする請求項3～5のいずれかに記載の信号処理用半導体集積回路。

【請求項7】 請求項1～6のいずれかに記載の受信系回路と、

送信信号を変調する変調回路と、変調された信号と発振信号とを合成してより周波数の高い信号に変換するアップコンバート用の周波数変換手段とを含む送信系回路と、

上記受信系回路および送信系回路を制御する制御系回路と、

上記受信系回路および送信系回路で合成される発振信号もしくは発振制御信号を生成する発振系回路と、が1つの半導体基板上に形成されてなることを特徴とする信号処理用半導体集積回路。

【請求項8】 請求項7に記載の信号処理用半導体集積回路と、

受信ベースバンド信号から音声信号への変換や音声信号からベースバンド信号への変換等の信号処理および上記信号処理用半導体集積回路の制御を行なう半導体集積回路化されたベースバンド回路とを備えた無線通信システムであって、

上記周波数変換手段および上記第2の増幅回路の動作電流を流す電流源のバイアス電圧を生成する基準電圧発生回路を活性化させる指令信号と、上記周波数変換手段および上記第2の増幅回路を活性化させる指令信号は、上記ベースバンド回路から上記信号処理用半導体集積回路へ供給されるように構成されていることを特徴とする無線通信システム。

【請求項9】 上記基準電圧発生回路を活性化させる指令信号と、上記周波数変換手段および上記第2の増幅回路を活性化させる指令信号は、上記ベースバンド回路から上記信号処理用半導体集積回路内の上記制御系回路へ供給されるように構成されていることを特徴とする請求項8に記載の無線通信システム。

【請求項10】 受信信号を増幅する第1の増幅回路と、増幅された信号と所定周波数の発振信号とを合成して音声周波数のベースバンド信号に変換する周波数変換手段と、該周波数変換手段とDC結合され周波数変換手段で周波数変換された信号を増幅する第2の増幅回路と、上記第1の増幅回路とはほぼ同一構成の回路を有し、その出力端子は上記第1の増幅回路の出力端子が接続される次段の回路の入力端子に接続され、その入力端子は上記受信信号が入力される外部端子に接続されていない第3の増幅回路とを含む受信系回路を備え、該受信系回路が活性化される第1の動作モードと非活性化される第2の動作モードとを有する信号処理用半導体集積回路における制御方法であって、

上記第2の動作モードから第1の動作モードに移行する際に、上記第1の増幅回路を非活性状態とし、上記第3

の増幅回路を活性化させた状態で上記第2の増幅回路におけるDCオフセットの校正を行なうようにしたことを特徴とする信号処理用半導体集積回路における制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術さらには多段接続されたアンプのDCオフセット低減に適用して有効な技術に関し、例えば携帯電話器に用いられ送受信信号を処理するダイレクトコンバージョン方式の信号処理LSI（大規模半導体集積回路）に利用して有効な技術に関する。

【0002】

【従来の技術】従来、携帯電話器に用いられ送受信信号を処理する無線通信用LSIには、スーパーヘテロダイン方式と呼ばれる方式がある。スーパーヘテロダイン方式における受信系回路は、例えば図10に示すように、アンテナATより受信された信号から不要波を除去するSAWフィルタからなる帯域制限フィルタ（FLT）111と、フィルタ111を通過した信号を増幅する低雑音増幅回路（LNA）112と、増幅された受信信号と発振系回路130からの局部発振信号とを合成することにより中間周波数の信号にダウンコンバートするミキサ（MIX）113と、受信信号と局部発振信号の周波数差に相当する周波数の信号を通過させるバンドパスフィルタ（BPF）114と、信号を所望のレベルに増幅する利得制御可能なプログラマブル・ゲイン・アンプ（PGA）115と、所望の振幅に調整された信号を音声周波数のベースバンド信号（I/Q）に復調する復調器（DeMOD）116などから構成されている。

【0003】

【発明が解決しようとする課題】上記スーパーヘテロダイン方式は受信信号を一旦中間周波数の信号にダウンコンバートしてから復調処理を行なうため、回路規模が大きいという問題点があった。そこで、本発明者らは、受信信号を直接音声周波数のベースバンド信号（I/Q）にダウンコンバートし復調するダイレクトコンバージョン方式の信号処理LSIを開発した。しかしながら、ダイレクトコンバージョン方式においては、受信系回路のアンプにDCオフセットがあるとそれが増幅されて出力されてしまうという不具合があることを見出した。そこで、その原因について検討した結果、以下のような原因が明らかになった。

【0004】すなわち、図10に示されているようなスーパーヘテロダイン方式では、低雑音増幅回路（LNA）112から復調器116の前段までが、容量を介して受信信号を伝達するAC結合である。そのため、各段のアンプの出力にDCオフセットがあっても、AC結合の場合には直流成分は伝達されないため前段のDCオフセットは次段の回路に影響を与えないことがないので、最終段のアンプの出力の直流電圧変動は極めて小さいもの

となる。

【0005】ところが、ダイレクトコンバージョン方式の受信回路は、図10におけるバンドパスフィルタ（BPF）114と復調器（DeMOD）116を省略した図11に示すような構成を有しており、900MHzのような受信信号とそれとほぼ同一周波数の局部発振信号 ϕ_{local} とをミキサ（113）で合成することによって音声周波数（0～70kHz）の信号までダウンコンバートしかつ復調する。

【0006】そのため、ミキサ113と可変利得アンプ115とはDC結合とせざるを得ず、素子のバラツキ等によりミキサ113の出力にDCオフセットが生じると、そのDCオフセットが可変利得アンプ115により増幅されてしまう。そして、この可変利得アンプ115のゲインはトータルで1500倍を超えるため、DCオフセットも同じように大きく増幅されてしまい、受信感度を低下させてしまうことが分かった。

【0007】従って、ダイレクトコンバージョン方式の受信回路では、受信を開始する前に可変利得アンプにおいてDCオフセットを「0」にするキャリブレーションを行なう必要がある。しかしながら、キャリブレーションを行なう際には、アンテナからの妨害波があると正しいキャリブレーションを行なえないため、その間、初段のLNA112をオフ（非動作状態）させることを考えた。

【0008】ところが、初段のLNA112をオフさせた状態でキャリブレーションを行なったとしても、ミキサ113で合成される受信信号RFと局部発振信号 ϕ_{local} の周波数がほぼ同一であるダイレクトコンバージョン方式の受信回路では、図11に示すように、発振器VCOからのノイズNがLNA112の入力側に漏れて入力端子に侵入した場合、ミキサ113において漏洩ノイズNとその原因となった局部発振信号 ϕ_{local} とが合成されるセルフミクシング現象が生じ、周波数が同じであるため当該受信系のフィルタ回路ではそのノイズを除去することができない。その結果、局部発振信号のLNA廻りのノイズによるDCオフセットが可変利得アンプ115において増幅されてしまい、受信感度が低下するおそれがあることが明らかとなった。

【0009】この発明の目的は、ダイレクトコンバージョン方式の信号処理用半導体集積回路において、受信モードに移行する際に局部発振器からの漏洩ノイズによるDCオフセットの発生を抑え、受信感度を向上させることができるようにすることにある。

【0010】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のと

おりである。

【0012】すなわち、受信信号を増幅する第1の増幅回路と、増幅された信号と所定周波数の発振信号とを合成して音声周波数のベースバンド信号に変換する周波数変換手段と、該周波数変換手段とDC結合され周波数変換手段で周波数変換された信号を増幅する第2の増幅回路とを含む受信系回路を備えた信号処理用半導体集積回路において、上記第1の増幅回路とはほぼ同一構成の回路を有し、その出力端子は上記第1の増幅回路の出力端子が接続される次段の回路の入力端子に接続され、その入力端子は上記受信信号が入力される端子に接続されていない第3の増幅回路（ダミーLNA）を設けるようにした。

【0013】上記した手段によれば、例えばダイレクトコンバージョン方式の信号処理用半導体集積回路において、第1の増幅回路であるロウノイズアンプを非活性状態にして代わりに第3の増幅回路であるダミーLNAを活性化させた状態で第2の増幅回路である可変利得アンプにおけるDCオフセットの校正を行なった後、ダミーLNAを非活性状態にして第1の増幅回路であるロウノイズアンプを活性化させて受信動作を開始させることにより、発振器からの漏洩ノイズないしは発振信号の回り込みノイズをダミーLNAを介して与えた状態でキャリブレーションを実行させることができ、それによって素子のバラツキによるDCオフセットとセルフミキシングにより発生するDCオフセットを同時に校正させることができる。

【0014】また、望ましくは、上記第3の増幅回路の入力端子には、上記第1の増幅回路の入力端子に接続される外部の回路と等価なインピーダンスが接続されるように構成する。これによって、通常動作時に第1の増幅回路の入力端子に入る発振信号の漏洩ノイズと同一のノイズをキャリブレーションの際に第3の増幅回路から与えてキャリブレーションを行なわせることができ、より精度の高いDCオフセットの校正が可能となり、通信システムにおいてはより感度の高い受信特性の再現が可能となる。

【0015】さらに、上記DCオフセットの校正が行なわれた後に上記第3の増幅回路が非活性状態とされ、かつ上記第1の増幅回路が活性されるように構成する。これによって、通常動作時に第3の増幅回路であるダミーLNAからの発振信号の回り込みノイズを遮断して精度の高いDCオフセットの校正が可能となるとともに、無駄な消費電力を低減させることができる。

【0016】また、上記第2の増幅回路は複数の増幅段を有する場合に、各増幅段ごとに出力のDCオフセットを校正するキャリブレーション回路を設けるようにする。これによって、より精度の高いDCオフセットの校正が可能となる。

【0017】さらに、上記のような構成を有する受信系

回路と、送信信号を変調する変調回路と、変調された信号と発振信号とを合成してより周波数の高い信号に変換するアップコンバート用の周波数変換手段とを含む送信系回路と、上記受信系回路および送信系回路を制御する制御系回路と、上記受信系回路および送信系回路で合成される発振信号もしくは発振制御信号を生成する発振系回路とを1つの半導体基板上に形成して信号処理用半導体集積回路を構成する。これによって、1チップの送受信用LSIが実現され、通信システムの部品点数を減らし、実装密度を高めることができ、携帯電話器の小型化が可能となる。

【0018】さらに、上記1チップの信号処理用半導体集積回路と、受信ベースバンド信号から音声信号への変換や音声信号からベースバンド信号への変換等の信号処理および上記信号処理用半導体集積回路の制御を行なう半導体集積回路化されたベースバンド回路とを備えた無線通信システムにおいて、上記周波数変換手段および上記第2の増幅回路の動作電流を流す電流源のバイアス電圧を生成する基準電圧発生回路を活性化させる指令信号と、上記周波数変換手段および上記第2の増幅回路を活性化させる指令信号は、上記ベースバンド回路から上記信号処理用半導体集積回路へ供給されるように構成する。これによって、ベースバンド回路とは別個にシステム全体を制御するマイクロプロセッサのような制御用LSIを設ける必要がなくなり、通信システムの部品点数を減らし、実装密度を高めることができ、携帯電話器の小型化が可能となる。

【0019】また、上記基準電圧発生回路を活性化させる指令信号と、上記周波数変換手段および上記第2の増幅回路を活性化させる指令信号は、上記ベースバンド回路から上記信号処理用半導体集積回路内の上記制御系回路へ供給されるように構成するのが望ましい。これにより、ベースバンド回路は信号処理用半導体集積回路の制御系回路にコマンドを与えるだけで良くベースバンド回路から信号処理用半導体集積回路内部の回路に直接制御信号を供給する必要がないので、ベースバンド回路と信号処理用半導体集積回路との間の信号線の本数を減らし、各回路の外部端子数を減らすことができる。

【0020】さらに、本願の他の発明は、受信信号を増幅する第1の増幅回路と、増幅された信号と所定周波数の発振信号とを合成して音声周波数のベースバンド信号に変換する周波数変換手段と、該周波数変換手段とDC結合され周波数変換手段で周波数変換された信号を増幅する第2の増幅回路と、上記第1の増幅回路とはほぼ同一構成の回路を有し、その出力端子は上記第1の増幅回路の出力端子が接続される次段の回路の入力端子に接続され、その入力端子は上記受信信号が入力される外部端子に接続されていない第3の増幅回路とを含む受信系回路を備え、該受信系回路が活性化される第1の動作モードと非活性化される第2の動作モードとを有する信号処理

用半導体集積回路において、上記第2の動作モードから第1の動作モードに移行する際に、上記第1の増幅回路を非活性状態とし上記第3の増幅回路を活性化させた状態で上記第2の増幅回路のDCオフセットの校正が行なうようにした制御方法の発明である。

【0021】かかる制御方法を採用することにより、受信系回路が活性化される第1の動作モードと非活性化される第2の動作モードとを有する信号処理用半導体集積回路において、アイドルモードのような第1の動作モードから受信モードのような第2の動作モードに移行する際に第2の増幅回路で生じるDCオフセットの高精度なキャリブレーションが可能となり、通信システムにおいては安定した受信特性を再現し受信感度を向上させることができる。

【0022】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0023】図1には、本発明を適用して好適な携帯電話器の信号処理システムの構成例が示されている。

【0024】図1において、ATは信号電波の送受信用アンテナ、110はアンテナATより受信された信号を中間周波数を介さずに復調、増幅しベースバンド信号に変換するダイレクトコンバージョン方式の受信系回路110、130はアンテナATより送信するベースバンド信号を変調し周波数変換する送信系回路、140は上記受信系回路110と送信系回路130における周波数変換に必要とされる局部発振信号 ϕ_{local} を発生する発振系回路、150は受信ベースバンド信号から音声信号への変換や音声信号からベースバンド信号への変換等の信号処理および上記受信系回路110や送信系回路130の制御を行なったりするベースバンド&システム制御部である。該ベースバンド&システム制御部110から出力された音声データは、D/Aコンバータ160でアナログ変換されてスピーカ170に供給され音声再生される。

【0025】上記受信系回路110は、アンテナATより受信された信号を増幅する低雑音増幅回路(LNA)112と、増幅された受信信号と該受信信号と同一周波数に分周した局部発振信号とを合成することで直接音声の周波数ベースバンド信号にダウンコンバートしかつ復調するミキサ(MIX)113と、利得制御可能なプログラマブル・ゲイン・アンプ(PGA)やローパス・フィルタ(LPF)を複数段有し信号を所定のレベルに増幅する高利得のPGA部115と、該PGA部115のDCオフセット・キャリブレーションを行うオートキャリブレーション回路117と、上記ベースバンド&システム制御部150からのコマンド等に基づき受信系回路110および送信系回路130の動作制御を行うコントローラ118等から構成される。

【0026】上記ベースバンド&システム制御部150

と受信系のコントローラ118との間は3本の信号線からなるシリアルバスで接続されており、ベースバンド&システム制御部150から受信系のコントローラ118に対して、コマンドコードDATAと該コマンドのラッチタイミングを与えるクロックCLKとデータが有効であることを示すイネーブル信号ENが供給され、コントローラ118は供給されたコマンドに基づき受信系回路110の動作制御を行う。

【0027】図1には示されていないが、低雑音増幅回路(LNA)112の前段には、アンテナATより受信された信号から不要波を除去するSAWフィルタが設けられている。特に制限されるものではないが、この実施例では、上記受信系回路110と送信系回路130と発振系回路140は、SAWフィルタやフィルタ容量などを除き、例えば単結晶シリコンのような1つの半導体基板上に半導体集積回路100として形成される。また、ベースバンド&システム制御部150もそれ自身が1つの半導体集積回路として構成されているが、ベースバンド回路とシステム制御回路を別の半導体集積回路として構成しても良い。

【0028】図2には上記受信系回路110のより具体的な構成を、また図3には受信系回路を構成する各段のアンプに動作電流を与える基準電流発生回路の具体的な回路構成例を示す。

【0029】この実施例においては、LNA部112に本来の低雑音増幅回路112Aおよびこれと同一回路構成を有するダミーLNA112Bが設けられている。また、PGA部115には3個のプログラマブル・ゲイン・アンプPGA1、PGA2、PGA3が設けられ、後述のように各々フィルタを挟んで縦続接続されている。そして、上記低雑音増幅回路112AおよびダミーLNA112Bや、ミキサ113、プログラマブル・ゲイン・アンプPGA1~PGA3には、アンプに動作電流を流すために必要な基準電流を発生する基準電流発生回路121、122、123がそれぞれ設けられている。

【0030】基準電流発生回路121~123は、図3に示すように、バンドギャップリファレンス回路のような基準電圧発生回路VRCと、発生された基準電圧Vrefをベースに受けるバイポーラトランジスタQ11と、電源電圧Vccと該トランジスタQ11のコレクタとの間に接続された抵抗R12並びにベースとコレクタが結合されたカレントミラー用トランジスタQ12と、トランジスタQ11のエミッタと接地点との間に接続された抵抗R12とから構成されている。抵抗R11、R12およびトランジスタQ11、Q12からなる回路は、電圧-電流変換回路として働く。

【0031】そして、上記トランジスタQ12のベース端子と前記各段のアンプに定電流源として設けられているトランジスタQ21のベース端子とが接続されることによりカレントミラー回路が構成され、これにより各段

のアンプの定電流源に基準電流発生回路121~123の基準電流 I_r と同一の電流が流されるようにされている。

【0032】また、基準電流発生回路121、122、123と各段のアンプに動作電流を流す電流源としてのトランジスタQ21との間には、電圧-電流変換回路のトランジスタQ12のベース電圧を伝達するか否かを決定するスイッチSW1が設けられており、このスイッチSW1はコントローラ118からの制御信号T2により制御されるように構成されている。ただし、LNA部112においては、後に詳しく説明するように低雑音増幅回路112AとダミーLNA112に対応する基準電流発生回路121は、低雑音増幅回路112AやダミーLNA112Bに設けられているスイッチの切換えにより、何れかの一方の回路に基準電流を伝達するように構成されている。

【0033】さらに、上記基準電流発生回路121~123の基準電圧発生回路VRCは、例えばシステムがアイドルモードになって受信系回路110の動作が停止されるときなどに消費電流を低減するため、コントローラ118からの制御信号T1により上記基準電圧発生回路VRCをアクティブ状態または非アクティブ状態に切換え可能に構成されている。

【0034】この実施例の受信系回路においては、制御信号T1により先ず基準電圧発生回路VRCを活性化させ、その基準電圧が安定してからスイッチSW1をオンさせて各段のアンプの電流源に電流を流すことによってDCオフセットの変動を防止するようにされている。なお、LNA部112に関しては、低雑音増幅回路112Aとミキサ113とは容量を介してAC結合されるので、基準電圧の変動に伴う低雑音増幅回路112AのDCオフセットの変動はミキサ113には伝わらない。従って、低雑音増幅回路112Aに対応した基準電流発生回路121の出力側のスイッチSW1は省略するにしてもよい。

【0035】一方、受信系回路110のコントローラ118は、ベースバンド&システム制御部150からのコマンドコード等が格納されるレジスタ119や、該レジスタ119の値に基づき内部回路に制御信号を出力するデコーダ回路、ベースバンド&システム制御部150から供給されたコマンドやオートキャリブレーション回路117から出力されたキャリブレーション終了通知の信号に基づき所定のタイミングの制御信号を生成するロジック回路などから構成される。

【0036】そして、コントローラ118は、供給されたコマンドに基づいて上記低雑音増幅回路112A、後述のダミーLNA112B、ミキサ113、PGA部115の基準電圧発生回路VRCをアクティブにする制御信号T1や、各基準電流発生回路121~123で発生された基準電流を対応するアンプに供給させる制御信号

T2、ダミーLNA112Bをアクティブにしてオートキャリブレーションを実行可能にするためのオートキャリブレーション制御信号T21、低雑音増幅回路112Aをアクティブにして信号の受信を行うための受信制御信号T3を、所定条件および所定タイミングで生成して出力する。

【0037】図4には、受信系回路110のより詳細な構成を示す。

【0038】図4に示されているように、PGA部115は、高周波ノイズをカットするローパスフィルタLPF1~LPF3と利得制御可能なプログラマブル・ゲイン・アンプPGA1~PGA3とを交互に縦続接続して構成されている。ローパスフィルタLPF1~LPF3は、初段よりも2段目、2段目よりも3段目の方がそれぞれカットオフ周波数近傍での利得特性曲線の傾きが急峻になるようにそれぞれ設計されている。

【0039】なお、初段のローパスフィルタLPF1はミキサ113の出力側の負荷と外付けの容量素子C1とから構成されている。容量素子C1は比較的容量が大きい(例えば2200pF)ため外付け素子とされている。2段目のローパスフィルタLPF2は2次のフィルタ、3段目のローパスフィルタLPF3は3次のフィルタとされ、それらのフィルタを構成する容量素子は比較的容量値が小さいためアンプを構成する素子と共に半導体基板上に形成される。

【0040】上記プログラマブル・ゲイン・アンプPGA1~PGA3は、3段で例えば1600倍のような高利得が得られるように設計される。ダイレクトコンバージョン方式では、ミキサ113より後の信号は0Hz~70kHzのベースバンド帯の信号となるため、ローパスフィルタLPF1~LPF3やプログラマブル・ゲイン・アンプPGA1~PGA3などミキサ113より後の回路は容量結合することが出来ず、DC結合とされている。

【0041】オートキャリブレーション回路117は、各プログラマブル・ゲイン・アンプPGA1~PGA3のそれぞれに対応して設けられており、各プログラマブル・ゲイン・アンプPGA1~PGA3の出力電位差をデジタル信号に変換するADコンバータ124A~124Cと、該ADコンバータ124A~124Cによる比較結果に基づき対応するプログラマブル・ゲイン・アンプPGA1~PGA3の差動入力に出力のDCオフセットが「0」とするような入力オフセットを与えるDAコンバータ125A~125Cと、各ADコンバータ125A~125Cに動作タイミングを与えるカウンタ126などから構成される。

【0042】オートキャリブレーション回路117は、コントローラ118からの指令によりキャリブレーションを開始すると、先ず、初段目のプログラマブル・ゲイン・アンプPGA1のDCオフセットキャリブレーション

ンを行い、初段目が完了したら次に2段目、2段目が完了したら次に3段目と、1段ずつ順番にキャリブレーションを行う。

【0043】また、特に制限されないが、各段のDCオフセットキャリブレーションは、ADコンバータ124A~124Cによるアンプの差動出力の比較とDAコンバータ125A~125Cによるアンプへの電圧印加とを逐次繰り返して行う逐次比較方式を採用している。DAコンバータ125A~125Cは、例えば電流値が i 、 $2i$ 、 $4i$ 、 $8i$ ……のような関係にある n 種類（ n は正の整数で、例えば6のような値とされる）の重み電流を n ビットの入力信号に応じて合成し電圧に変換することで、 2^n 段階の電圧値の中から1つを選択して出力することが可能となっている。

【0044】そして、カウンタ126からのタイミング信号によりADコンバータ124A~124Cにおけるアンプ出力と基準電圧との比較と、そのAD変換結果に応じたDAコンバータ125A~125Cによる差動アンプ入力への電圧印加とを、例えば6回繰り返すことで、各段のプログラマブル・ゲイン・アンプPGA1~PGA3のキャリブレーションがそれぞれ実行される。そして、キャリブレーションが完了したら、上記DAコンバータ125A~125Cに設けられたレジスタREGに各アンプのDCオフセットを「0」にさせるのに必要な最終DA入力値を記憶させ、次のキャリブレーション時或いは受信モードを終えるまでその状態を保持するように制御される。

【0045】上記キャリブレーション動作は、カウンタ126がコントローラ118からの制御信号に基づきシステムクロック ϕ_s をカウントして、初段のADコンバータ124Aから2段目、3段目のADコンバータ124B、124Cに対するタイミング信号を順次生成し出力することで、各段のアンプのDCオフセットキャリブレーションを順番に行なわせる。また、DCオフセットキャリブレーションが完了すると、完了を知らせる信号がカウンタ126からコントローラ118に出力されるようになっている。

【0046】なお、この実施例では、特に制限されるものでないが、2段目のアンプPGA2と3段目のアンプPGA3に関しては、入力端子に抵抗を付けて入力オフセットを調整可能な構成にして出力電圧を見てDCオフセットが「0」になるように入力オフセットを変化させるようにしているのに対し、初段のアンプPGA1に関しては出力電圧を見てDCオフセットが「0」になるように出力を調整するように構成されている。

【0047】図5には、上記ミキサ回路113の回路例を示す。この実施例のミキサ回路113は、互いにエミッタ共通接続され差動の局部発振信号 ϕ_{local} 、 ϕ_{local} がベースに入力されるとともに一方のコレクタが交差結合された2組の差動入力トランジスタQ1、Q2；Q

3、Q4と、Q1のコレクタおよびQ4のコレクタと電源電圧 V_{cc} との間に各々接続された抵抗R1、R2と、Q1、Q2の共通エミッタと接地点との間に接続された定電流用トランジスタQ5およびそのエミッタ抵抗R3と、Q3、Q4の共通エミッタと接地点との間に接続された定電流用トランジスタQ6およびそのエミッタ抵抗R4とにより構成されている。そして、定電流用トランジスタQ5、Q6のエミッタと抵抗R3、R4との接続ノードに容量C1、C2を介してそれぞれ差動の受信信号RF、 ϕ_{RF} が入力され、差動入力トランジスタQ1、Q4のコレクタから ϕ_{local} 、 ϕ_{local} とRF、 ϕ_{RF} の合成周波数信号が差動で出力される。

【0048】図6には、受信系回路110の入力部に設けられる上記低雑音増幅回路112AとダミーLNA112Bの回路例を示す。ダミーLNA112Bは、前述したように、低雑音増幅回路112Aと同一特性の素子を用いて同一回路に構成された回路である。

【0049】低雑音増幅回路112Aは、図6に示すように、電源電圧 V_{cc} と接地点との間に抵抗R11とバイポーラトランジスタQ11とを直列接続してなるエミッタ接地型の増幅回路と、トランジスタQ11とベースが共通接続されカレントミラー回路を構成するトランジスタQ12およびこれと直列に接続された定電流源I1とを含みトランジスタQ11にバイアス電流を流すバイアス回路80とから構成されている。そして、該バイアス回路80には定電流源I1とトランジスタQ12との間に定電流源I1からの電流を遮断可能なスイッチSW2が設けられている。

【0050】また、バイアス回路80は、トランジスタQ11のベースに抵抗R12、R13を介してトランジスタQ2のベース端子が接続され、且つこれらの抵抗R12、R13の接続ノードn1にトランジスタQ12のコレクタが接続されて、Q11とQ12がカレントミラーを構成しているとともに、トランジスタQ11のベース端子がアンテナATにより受信された受信信号が入力される外部入力端子RFINに接続されている。

【0051】このように構成された低雑音増幅回路112Aにおいては、バイアス回路80によりトランジスタQ11にコレクタ電流が流された状態で、入力端子RFINよりQ11のベース端子に受信信号が入力されるとその信号を増幅した信号がQ11と抵抗R11との接続ノードn0に現われ、これがミキサ113に供給される。そして、スイッチSW2が前述のコントローラ118からの制御信号T3によりオフされ電流が遮断されると、トランジスタQ11のコレクタ電流も流れなくなりベース電位は接地電位に低下するため、微少な受信信号ではトランジスタQ11を駆動することができず、低雑音増幅回路112Aは非アクティブな状態になる。

【0052】ダミーLNA112Bは、上記低雑音増幅回路112Aと同一の素子を用いて同一の回路に構成さ

れている。具体的には、抵抗 R_{11} が共通負荷となるようにトランジスタ Q_{11} と並列に設けられたダミー入力トランジスタ Q_{21} と、該トランジスタ Q_{21} とカレントミラー接続されたトランジスタ Q_{22} 、 Q_{21} — Q_{22} のベース間の抵抗 R_{22} 、 R_{23} 、 Q_{22} のコレクタ側に接続されたスイッチ SW_3 、定電流源 I_2 を含み低雑音増幅回路112A側のバイアス回路80と同一構成のバイアス回路90とによりダミーLNA112Bが構成されている。ただし、このダミーLNA112Bに設けられているスイッチ SW_3 は、キャリブレーション実行時にコントローラ118からの制御信号 T_{21} により正規の低雑音増幅回路112Aのスイッチ SW_2 とは相補的に、つまり SW_2 がオフのときにオン、 SW_2 がオンのときはオフとなるように制御される。

【0053】また、低雑音増幅回路112Aの入力端子 $RFIN$ に対応したダミーLNA112Bのノード n_2 には、トランジスタ Q_{21} のベースに接続されるインピーダンスがトランジスタ Q_{11} のベースに接続されているインピーダンスと等しくなるように、入力端子 $RFIN$ に外付けされているインダクタや容量からなる回路のインピーダンス Z_0 とほぼ等価なインピーダンス Z_1 を有するマッチング回路91が接続されている。なお、半導体基板上にインダクタを形成するのは難しいことから、等価インピーダンス Z_1 は、抵抗と容量の組み合わせにより、入力端子 $RFIN$ に受信して内部回路に取り込む信号の周波数 ω_{in} に対してほぼ等価なインピーダンス Z_1 が得られるように設計される。

【0054】さらに、低雑音増幅回路112Aは、局部発振器の漏洩ノイズが入力され難いようにするため、半導体基板上において発振系回路140やミキサ113から離れた領域に形成されるのが一般的であるが、ダミーLNA112Bも同様な領域に形成すると良い。

【0055】なお、低雑音増幅回路112AやダミーLNA112Bの構成およびその周辺回路の構成は、図6に示されているような構成に限られるのではなく、例えば、低雑音増幅回路112Aとミキサ113との間に、利得を2段階に切換え可能な利得可変アンプAMP1(図4参照)を設け、受信信号の振幅が大きい場合にはベースバンド&システム制御部150の制御によりこの利得可変アンプAMP1の利得を低い方に切り替え、受信信号の振幅が小さい場合にはベースバンド&システム制御部150の制御により利得可変アンプAMP1の利得を高い方に切り替えるようにしても良い。

【0056】また、低雑音増幅回路112Aを差動型に構成して、アンテナATで受信された受信信号を差動信号に変換して低雑音増幅回路に入力するような構成にすることも出来る。図7には、そのような実施例に適用可能な差動型の低雑音増幅回路112AとダミーLNA112Bの構成例が示されている。なお、図7の回路は図6の回路を差動型としたもので、基本的な構成および動

作は図6の回路と同一であるので詳しい説明は省略する。また、図7の実施例では、特に制限されるものではないが、低雑音増幅回路112Aの入力トランジスタ Q_{11} 、 Q_{11}' のエミッタは外部端子として設けられたグランドピンにそれぞれ接続されている。これにより、グランドライン廻りのノイズを低減することができる。一方、ダミーLNA112Bの入力トランジスタ Q_{21} 、 Q_{21}' のエミッタはチップ内部のグランドラインにそれぞれ接続されている。

【0057】次に、上記ダミーLNA112Bを利用したオフセットのキャリブレーション動作について説明する。図8には、アイドルモード(待機モード)から受信モードへの切り換え処理のフローチャートを、図9にはアイドルモードから受信モードへ切替る際の動作タイムチャートを示す。

【0058】アイドルモードから受信モードへの切替は、例えば、携帯電話が待ち受け状態にあるときに携帯電話がどの基地局の無線ゾーンにあるかを確認するために、基地局からの信号を所定間隔毎に受信する間歇受信の際に発生するものであり、予め設定されている所定間隔毎にベースバンド回路によりアイドルモードから受信モードへのモード切換え処理が開始される。

【0059】所定のタイミングがきてベースバンド回路150で受信モードへのモード切換え処理が開始されると、まず、ベースバンド回路150からコントローラ118へ、発振系回路140の発振動作開始と受信系回路110の各部の基準電流発生回路の基準電圧発生回路VRCをアクティブにさせるコマンドコード(ウォームアップ・コマンド)が出力される。

【0060】このベースバンド回路150からのコマンド制御により、発振系回路140の局部発振器が発振動作を開始する一方、受信系回路110ではコントローラ118からの制御信号 T_1 がハイレベルに変化されて、受信系回路110の各部の基準電流発生回路の基準電圧発生回路VRCがアクティブにされる。このとき、基準電流発生回路は立上りから電流が安定するまでにトランジスタの素子特性に応じた所定時間を要する。具体的には、図9に示すように、基準電流発生回路の立上り直後は定常時の電流よりも大きな電流が出力され、その後次第に所定の定常電流に近づいていく。

【0061】ベースバンド回路150では、上記基準電流発生回路の基準電圧発生回路VRCをアクティブにするコマンドコードを出力したら、次に内部のカウンタ等により所定期間を計時したタイミングで受信系回路110のコントローラ118へ、ミキサ113とPGA部115をアクティブにしてPGA部115におけるDCオフセットキャリブレーションを実行させるコマンドコードを送信する。

【0062】このコマンドコードが受信系回路110のコントローラ118へ送られると、受信系回路110の

コントローラ118では、このコマンドコードをデコードして、ミキサ113とPGA部115をアクティブにする制御信号T2と、オートキャリブレーションモード信号T21とをほぼ同時に出力する。制御信号T2は、ミキサ113とPGA部115にそれぞれ設けられている前記基準電流発生回路の出力側のスイッチSW1に供給され、該スイッチSW1がオン状態にされることで、先の制御信号T1で生成された基準電流と同一の電流がカレントミラー回路の動作でミキサ113とPGA部115の電流源にそれぞれ流され、ミキサ113とPGA部115がアクティブにされる。

【0063】一方、オートキャリブレーションモード信号T21は、ダミーLNA112Bに動作電流を供給するパスに設けられたスイッチSW3に供給されて該スイッチSW3がオン状態にされ、ダミーLNA112Bがアクティブにされる。そして、これと同時に、オートキャリブレーションモード信号T21がオートキャリブレーション回路117に inputs され、該回路内部のカウンタ126が動作してオートキャリブレーション処理が開始され、ダミーLNA112Bがアクティブな状態でPGA部115におけるオートキャリブレーションが行なわれる。

【0064】ダミーLNA112Bが設けられていない図12のような低雑音増幅回路におけるミキサ113の入力側のインピーダンスは、抵抗R11とミキサの入力端子側の寄生容量Csの並列接続とみなすことができる。局部発振信号の漏洩ノイズは、ミキサの入力端子側のインピーダンスを通して混入すると考えられる。そして、この入力端子側のインピーダンスのうち抵抗R11は低雑音増幅回路112Aのオン、オフ状態で変化しないが、寄生容量Csはオン、オフ状態でその充放電電流が極端に相違するためインピーダンスが大きく変化する。

【0065】そのため、アンテナからの妨害波の影響をなくすためスイッチSW2をオフして低雑音増幅回路112Aの電流を遮断している状態では、ミキサ113の入力側のインピーダンスは小さいので局部発振信号の漏洩ノイズの影響は小さく、図9に実線で示されているように、ミキサ113の出力はDCオフセットがほぼ「0」に近い値となり、オートキャリブレーションによるDCオフセットの校正の量も僅かである。そして、その後、低雑音増幅回路112Aがオンされると、ミキサの入力端子側の寄生容量Csが大きくなって局部発振信号の漏洩ノイズが混入し易くなり、その影響でミキサ113の出力のDCオフセットが急激に拡大する。従って、ダミーLNA112Bが設けられていない場合あるいはダミーLNAがあってもそれがオフされている場合には、キャリブレーションを行なってもこのDCオフセットを校正することができない。

【0066】しかるに、この実施例においては、ダミー

LNA112Bをオンさせた状態でオートキャリブレーションを行なうため、ダミーLNA112Bをオンさせることにより低雑音増幅回路112Aがオフされていても、図9に破線で示すようにミキサ113の出力にはDCオフセットが低雑音増幅回路112Aがオンされている通常受信動作時と同じ大きさで現われる。そして、このDCオフセットを校正するようにオートキャリブレーションが行なわれるため、ダミーLNA112Bが設けられていない場合に比べて大幅にDCオフセットを校正させることができる。なお、PGA部115が図4の実施例のように3段で構成されている場合、局部発振信号の漏洩ノイズの影響によるDCオフセットの校正は主として初段の利得可変アンプPGA1で行なわれ、後段の利得可変アンプPGA2、PGA3では専らそれらのアンプ自身の素子バラツキによるDCオフセットを校正するオートキャリブレーションが行なわれる。

【0067】上記のようにしてオートキャリブレーション回路117によるキャリブレーション動作が完了すると、PGA部115のDAコンバータ125A～125Cに設けられたレジスタREGに各アンプのDCオフセットを「0」にさせるのに必要な最終DA入力値が保持され、オートキャリブレーション回路117からコントローラ118へキャリブレーション処理の完了を示す応答信号が出力される。

【0068】コントローラ118はキャリブレーション処理の完了が知らされると、オートキャリブレーションモード信号T21をローレベルに立ち下げ、同時に受信モード信号T3を立ち上げて低雑音増幅回路112Aをアクティブにして受信モードに移行させる。そして、それによりアンテナからの信号受信が可能となり、受信信号が低雑音増幅回路112A、ミキサ113およびPGA部115を通してベースバンド信号に復調・増幅されてベースバンド&システム制御部150に入力される。

【0069】そして、上記一連の受信処理が終わると、ベースバンド&システム制御部150から受信系回路110のコントローラ118にアイドルモード（スリープモード）への移行コマンドが出力される。このコマンドに基づいて受信系回路110のコントローラ118は、制御信号T1、T2と受信モード信号T3をローレベルに変化させて、受信系回路110のアンプの電流源に流れていた動作電流を遮断させ、アイドルモード（待受け状態）へ移行する。

【0070】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例の受信系回路においては、ミキサ113の前段にも利得可変アンプAMP1を設けているが、このアンプは省略することができる。また、ミキサ113の後段

の利得可変アンプ 115 は 3 段で構成されているが、2 段あるいは 4 段以上であっても良い。

【0071】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話器に用いられるダイレクトコンバージョン方式の信号処理用半導体集積回路に適用した場合を説明したが、本発明はそれに限定されるものでなく、複数のアンプが DC 結合で多段に接続されているアナログ回路を内蔵した半導体集積回路に広く利用することができる。

【0072】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0073】すなわち、ダイレクトコンバージョン方式の信号処理用半導体集積回路において、受信モードに移行する際に局部発振器からの漏洩ノイズによる DC オフセットの発生を抑え、受信感度を向上させることができる。

【図面の簡単な説明】

【図 1】本発明を適用して好適な携帯電話の信号処理システムの実施例を示す構成図である。

【図 2】受信系回路 110 における信号受信部の駆動方式の詳細例を示すブロック図である。

【図 3】図 2 の基準電流発生回路の一例を示す構成図である。

【図 4】オートキャリブレーション回路 117 を含めた信号受信部の詳細例を示すブロック図である。

【図 5】ミキサ回路 113 の回路例を示す回路図である。

【図 6】LNA 回路とダミー LNA 112B の詳細例を示す回路図である。

【図 7】差動型の LNA 回路とダミー LNA 112B の

一例を示す回路図である。

【図 8】信号受信部のアイドルモードと受信モードとの切り換え時の処理手順を示すフローチャートである。

【図 9】信号受信部のアイドルモードと受信モードとの切り換え時の動作波形を示すタイムチャートである。

【図 10】従来の携帯電話器に用いられているスーパーヘテロダイン方式の受信系回路の構成例を示すブロック図である。

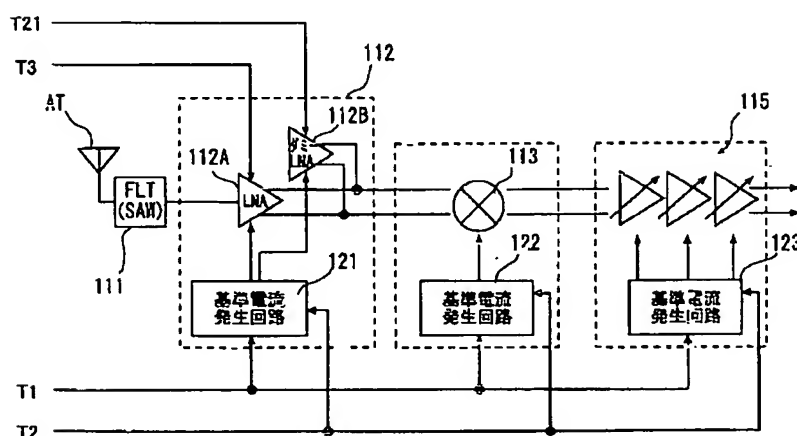
【図 11】ダイレクトコンバージョン方式の受信系回路における局所発振信号の漏洩ノイズによるセルフミキシング作用を説明する参考図である。

【図 12】従来の低雑音増幅回路 (LNA) の一例を示す回路図である。

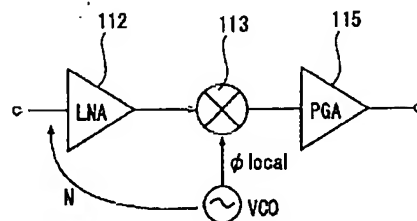
【符号の説明】

- AT 送受信用アンテナ
- 100 信号処理用半導体集積回路
- 110 受信系回路
- 111 SAWフィルタ
- 112 LNA部
- 112A 低雑音増幅回路 (LNA)
- 112B ダミーLNA
- 113 ミキサ (MIX)
- 115 PGA部
- 117 オートキャリブレーション回路
- 118 コントローラ
- 121~123 基準電流発生回路
- 130 送信系回路
- 140 発振系回路
- 150 ベースバンド&システム制御部
- 160 D/Aコンバータ
- 170 スピーカ

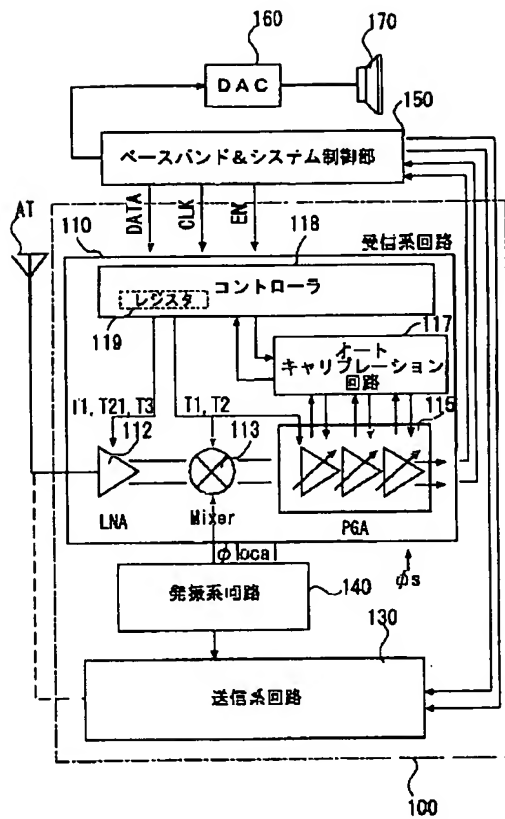
【図 2】



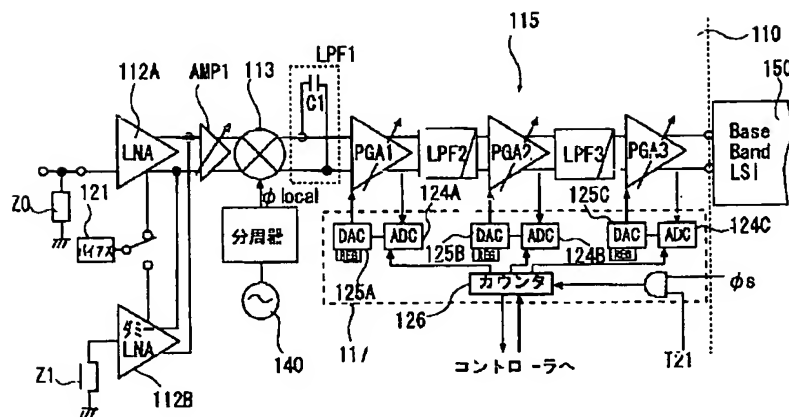
【図 11】



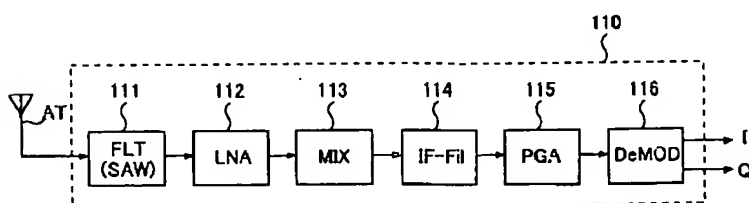
【图 1】



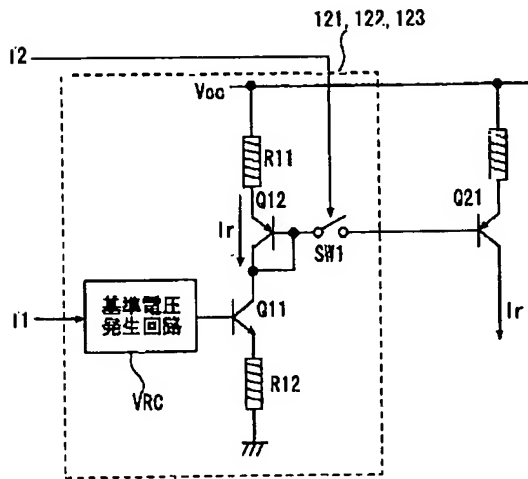
【図4】



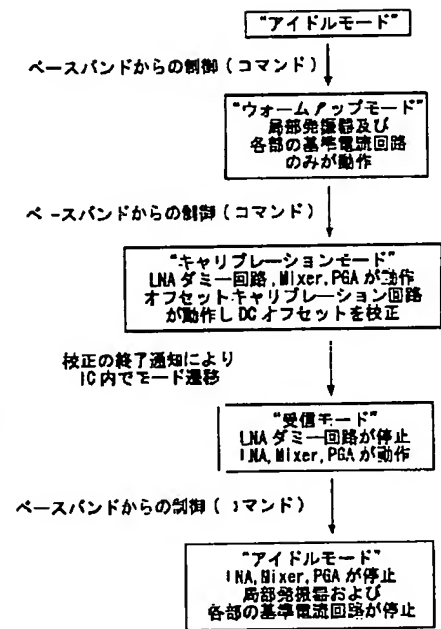
【図10】



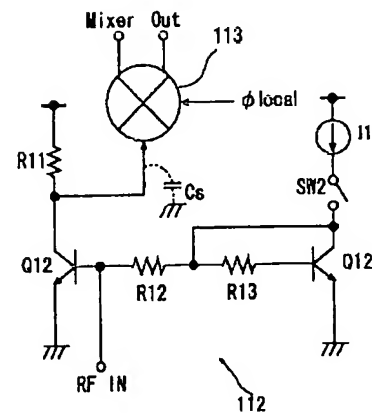
【図3】



【図8】



【図12】



東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内